

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-091430

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

G06F 9/30

G06F 9/30

(21)Application number : 08-242932

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 13.09.1996

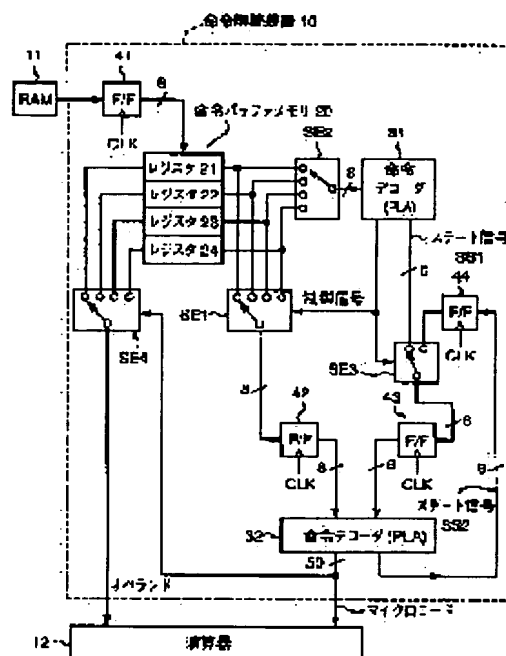
(72)Inventor : NAKAMACHI TAKAHIRO

(54) INSTRUCTION DECODING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an instruction decoding device capable of shortening an instruction decoding cycle and improving processing speed.

SOLUTION: An instruction decoder 32 decodes an instruction code which is read from an instruction buffer memory 20 and outputs a micro code and a state signal. An instruction decoder 31 decodes an initial extension operation code and outputs a control signal showing the code and a state signal showing the next state of an initial state. A selector SE3 outputs the state signal from an instruction decoder 31 to the instruction decoder 32 in response to the control signal and outputs the state signal outputted from the instruction decoder 32 when the control signal is not outputted. A selector SE1 outputs the instruction code following the initial extension operation code to the instruction decoder 32 from the instruction buffer memory 20 in response to the control signal. When the control signal is not outputted, the instruction codes which are read from the instruction buffer memory 20 are sequentially outputted to the instruction decoder 32.



LEGAL STATUS

[Date of request for examination] 02.03.2001

[Date of sending the examiner's decision of rejection] 19.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-91430

(43)公開日 平成10年(1998)4月10日

(51) Int.Cl.⁶

G O 6 F 9/30

識別記号

3 1 0

350

FI

G O 6 F 9/30

310B

350A

審査請求 未請求 請求項の数1 OL (全 9 頁)

(21)出願番号

特願平8-242932

(22) 出願日

平成8年(1996)9月13日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中町 隆弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

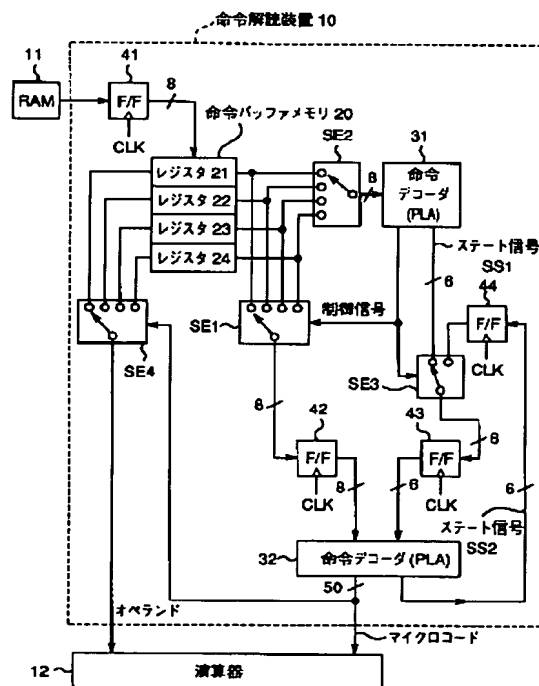
(74) 代理人 弁理士 青山 稔 (外2名)

(54) 【発明の名称】 命令解読装置

(57) 【要約】

【課題】従来例に比較して命令解読サイクルを短くし、処理速度を向上することができる命令解読装置を提供する。

【解決手段】 命令デコーダ 3 2 は命令バッファメモリ 2 0 から読み出される命令コードをデコードしてマイクロコードとステート信号を出力し、命令デコーダ 3 1 は最初の拡張オペレーションコードを解読してそれを示す制御信号と、初期状態の次のステートを表わすステート信号とを出力する。セクタ S E 3 は制御信号に応答して命令デコーダ 3 1 からのステート信号を命令デコーダ 3 2 に出力し、制御信号が出力されないときは、命令デコーダ 3 2 から出力されるステート信号を出力する。セクタ S E 1 は制御信号に応答して最初の拡張オペレーションコードに続く命令コードを命令バッファメモリ 2 0 から命令デコーダ 3 2 に出力し、制御信号が出力されないときは、命令バッファメモリ 2 0 から読み出される命令コードを順次命令デコーダ 3 2 に出力する。



【特許請求の範囲】

【請求項1】 それぞれ複数ビットの基本命令語長を有するオペレーションコード及びオペランドを含み、実行オペレーションコードとオペランドとで構成され、又は少なくとも1つの拡張オペレーションコードと実行オペレーションコードと少なくとも1つのオペランドとで構成されたマイクロコンピュータの命令コードを解読するための命令解読装置において、

上記マイクロコンピュータによって実行されるプログラムの命令コードを一時的に格納するための命令バッファメモリと、

上記命令バッファメモリから読み出される命令コードをデコードして解読結果のマイクロコードを演算器に出力するとともに、シーケンスのステートを表わすステート信号を出力する第1の命令デコーダと、

上記命令バッファメモリから読み出される命令コードのうち最初の拡張オペレーションコードにตอบสนองして、当該最初の拡張オペレーションコードを解読して、当該最初の拡張オペレーションコードを解読したことを示す制御信号と、初期状態の次のステートを表わすステート信号とを出力する第2の命令デコーダと、

上記第2の命令デコーダから出力される制御信号にตอบสนองして上記第2の命令デコーダから出力されるステート信号を第1の命令デコーダに出力する一方、上記第2の命令デコーダから制御信号が出力されないときは、上記第1の命令デコーダから出力されるステート信号を第1の命令デコーダに出力するように切り換える第1の切り換え手段と、

上記第2の命令デコーダから出力される制御信号にตอบสนองして上記最初の拡張オペレーションコードに続く命令コードを上記命令バッファメモリから上記第1の命令デコーダに出力する一方、上記第2の命令デコーダから制御信号が出力されないときは、上記命令バッファメモリから読み出される命令コードを順次上記第1の命令デコーダに出力するように切り換える第2の切り換え手段とを備えたことを特徴とする命令解読装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコンピュータの命令を解読するための命令解読装置に関するものである。

【0002】

【従来の技術】近年のマイクロコンピュータの高速化にともない、命令の解読や実行を高速に行うことが必要となっている。以下、従来例のマイクロコンピュータの命令解読装置10aについて図2を参照して説明する。

【0003】図2において、RAM（ランダムアクセスメモリ）11はユーザーが作成したプログラムを格納するための記憶装置である。命令バッファメモリ20は、例えば4個の8ビット幅のレジスタ21乃至24を備

え、RAM11に格納されたプログラムから実行順序に8ビット単位で読み出された命令コードを一時的に格納する。命令デコーダ33は、命令バッファメモリ20から出力される命令コードを解読して、解読結果のマイクロコードを演算器12に出力するとともに、ステート信号SSを命令デコーダ33の入力に帰還する。演算器12は、命令デコーダ33から出力されるデコーダと、命令バッファメモリ20から出力されるオペランドとに基づいて所定の演算を実行する。

10 【0004】次いで、マイクロコンピュータの各命令について説明する。各命令は、基本命令語長8ビットの命令コードが1個又は複数個組み合わせられて構成されており、任意の命令語長を持つ。また各命令コードは、各命令の実行を制御するオペレーションコード（以下、オペコードという。）と、オペコードによって制御される各命令の実行の際に必要な引き数を表わすオペランドで構成されている。さらにオペコードは、後続の命令コードを持つ拡張オペコードと、後続の命令コードがないことを示す実行オペコードによって表わされている。

20 【0005】図3は、従来例及び本実施形態の命令解読装置で用いるオペコードの命令マップ図である。図3

（a）は第1のオペコードの命令マップ図であり、第1のオペコードの上位8ビットが00hからFEh（ここで、hは16進数表示を示す。）であるときは、その命令コードは実行オペコードであり、実行オペコードの後にオペランドが続く。また、第1のオペコードの上位8ビットがFFhであるときは、その命令コードは拡張オペコードであり、ここで、第1のオペコードが拡張オペコードであるときは、各拡張オペコードに対して、例えば、図3（b）及び（c）のように拡張オペコードに続く命令コードに対応した命令マップが存在する。例えば、図3（a）において、第1のオペコードがFF01hであるときは、拡張オペコードIS1が割り当てられ、第1のオペコードがFFFEhであるときは、拡張オペコードIS2が割り当てられている。

30 【0006】図3（b）は第1のオペコードが拡張オペコードIS1のときの第2のオペコードの命令マップ図であり、第1のオペコードに続く第2のオペコードの上位8ビットが00hからFEh（ここで、hは16進数表示を示す。）であるときは、その命令コードは実行オペコードであり、第2のオペコードの上位8ビットがFFhであるときは、その命令コードは拡張オペコードである。

50 【0007】図3（c）は第1のオペコードが拡張オペコードIS2のときの第2のオペコードの命令マップ図であり、第1のオペコードに続く第2のオペコードの上位8ビットが00hからFEh（ここで、hは16進数表示を示す。）であるときは、その命令コードは実行オペコードであり、第2のオペコードの上位8ビットがFFhであるときは、その命令コードは拡張オペコードで

ある。例えば、図3(c)において、第2のオペコードがFF01hであるときは、拡張オペコードIS3が割り当てられている。

【0008】図3(d)は第1のオペコードが拡張オペコードIS2であって第2のオペコードが拡張コードIS3であるときの第3のオペコードの命令マップ図であり、第1のオペコード及び第2のオペコードに続く第3のオペコードはすべて実行オペコードであり、当該実行オペコードに続いてオペランドが続く。

【0009】図4は、従来例及び本実施形態の命令解読装置で用いる命令コードの構成を示す図である。図4

(a)は、命令コード51の構成例を示し、命令コード51は、8ビットの実行オペコードに続いて、8ビット、16ビット又は24ビットのオペランドが続いて構成される。図4(b)は、命令コード52の構成例を示し、命令コード52は、8ビットの拡張オペコードに続いて8ビットの実行オペコードが続く、さらに、8ビット、16ビット又は24ビットのオペランドが続いて構成される。図4(c)は、命令コード53の構成例を示し、命令コード53は、8ビットの2個の拡張オペコードに続いて8ビットの実行オペコードが続く、さらに、8ビット、16ビット又は24ビットのオペランドが続いて構成される。

【0010】次いで、図2の命令解読装置10aの動作について説明する。まず、命令コードが複数個で構成されたプログラムをRAM11に格納されているものとする。RAM11に格納された命令コードを読み出して、8ビット単位で命令バッファメモリ20内の各レジスタに一時的に保持された後、命令デコーダ33に出力される。命令デコーダ33では、命令バッファメモリ20内のオペコードを、8ビット単位でデコードし、マイクロコンピュータ内部での動作を制御する50ビットのマイクロコードを演算器12に出力する。この際、命令解読のシーケンスを制御するためのステート信号SSを順次更新することによって、任意命令語長の命令コードの解読を行う。演算器12は、命令デコーダ33から送出されたマイクロコードと、命令バッファメモリ20から出力されるオペランドを受信して、所定の演算処理を実行する。

【0011】例えば、図4(a)に示した命令コード51の解読を行うとき、命令デコーダ33は、実行オペコード61を命令バッファメモリ20から読み出すと同時に、初期状態を表わすステート信号SS“k”(以下、状態kを示すステート信号SSをステート信号SS“k”と表記する。)を受信して解読を行い、次命令コードが初期状態であることを表わすステート信号SS“k”を命令デコーダ33の入力に帰還して次命令コードに備えると同時に、上記解読結果のマイクロコードを演算器12に出力する。一方、オペランドが命令バッファメモリ20から演算器12に送出され、これに

て演算器12は、マイクロコードとオペランドとに基づいて、所定の演算処理を実行する。従って、命令解読サイクルは、1サイクル必要となる。

【0012】次いで、例えば、図4(b)に示した命令コード52の解読を行うとき、命令デコーダ33は、まず初めに拡張オペコード71を命令バッファメモリ20から読み出すと同時に、初期状態を表わすステート信号SS“k”を受信して解読を行い、ステート信号SSを更新してステート信号SS“k+1”を命令デコーダ33の入力に帰還し、同時にマイクロコードとして何も実行しない非動作コードNOPを演算器12に出力する。これに

応答して演算器12は何も動作しない。次のサイクルで、実行オペコード62を命令バッファメモリ20から読み出すと同時に、ステート信号SS“k+1”を受信して解読を行い、次命令コードが初期状態であることを表わすステート信号SS“k”を命令デコーダ33の入力に帰還して次命令コードに備え、また同時に解読結果のマイクロコードを演算器12に出力する。一方、オペランドが命令バッファメモリ20から演算器12に送出され、これに

応答して演算器12は、マイクロコードとオペランドとに基づいて、所定の演算処理を実行する。従って、命令解読サイクルは3サイクル必要となる。

【発明が解決しようとする課題】しかしながら、従来例の命令解読装置 10a の構成では、オペコードが複数の拡張オペコードとオペランドコードによって構成されている命令の解読を行う場合、拡張オペコードのデコードのサイクルが必要となるため、命令解読サイクルが長くなり、処理速度をさらに上げることができないという問題点があった。

【0015】本発明の目的は以上の問題点を解決し、従来例に比較して命令解読サイクルを短くし、処理速度を向上することができる命令解読装置を提供することにある。

【0016】

【課題を解決するための手段】本発明に係る命令解読装置は、それぞれ複数ビットの基本命令語長を有するオペレーションコード及びオペランドを含み、実行オペレーションコードとオペランドとで構成され、又は少なくとも 1 つの拡張オペレーションコードと実行オペレーションコードと少なくとも 1 つのオペランドとで構成されたマイクロコンピュータの命令コードを解読するための命令解読装置において、上記マイクロコンピュータによって実行されるプログラムの命令コードを一時的に格納するための命令バッファメモリと、上記命令バッファメモリから読み出される命令コードをデコードして解読結果のマイクロコードを演算器に出力するとともに、シーケンスのステートを表わすステート信号を出力する第 1 の命令デコーダと、上記命令バッファメモリから読み出される命令コードのうち最初の拡張オペレーションコードにตอบสนองして、当該最初の拡張オペレーションコードを解読して、当該最初の拡張オペレーションコードを解読したことを示す制御信号と、初期状態の次のステートを表わすステート信号とを出力する第 2 の命令デコーダと、上記第 2 の命令デコーダから出力される制御信号にตอบสนองして上記第 2 の命令デコーダから出力されるステート信号を第 1 の命令デコーダに出力する一方、上記第 2 の命令デコーダから制御信号が出力されないときは、上記第 1 の命令デコーダから出力されるステート信号を第 1 の命令デコーダに出力するように切り換える第 1 の切り換え手段と、上記第 2 の命令デコーダから出力される制御信号にตอบสนองして上記最初の拡張オペレーションコードに続く命令コードを上記命令バッファメモリから上記第 1 の命令デコーダに出力する一方、上記第 2 の命令デコーダから制御信号が出力されないときは、上記命令バッファメモリから読み出される命令コードを順次上記第 1 の命令デコーダに出力するように切り換える第 2 の切り換え手段とを備えたことを特徴とする。

【0017】本発明は、拡張オペレーションコードの命令解読サイクルを短くし、処理速度が向上するようにしたものである。命令解読のステート信号を変化させることにより、最初の拡張オペレーションコードと第 2 番目の拡張オペレーションコードの解読、又は、拡張オペレ

ーションコードと実行オペレーションコードの解読を同時に行うことができ、命令解読サイクルを減少できるという作用を有する。

【0018】

【発明の実施の形態】以下、図面を参照して本発明に係る実施形態について説明する。

【0019】図 1 は、本発明に係る一実施形態であるマイクロコンピュータのための命令解読装置 10 のブロック図であり、図 1 において図 2 と同一のものについては同一の符号を付している。この命令解読装置 10 は、従来例に比較して命令デコーダ 31 及びセクタ SE3 をさらに備えたことを特徴としている。

【0020】図 1 において、RAM (ランダムアクセスメモリ) 11 はユーザーが作成したプログラムを格納するための記憶装置である。命令バッファメモリ 20 は、例えば 4 個の 8 ビット幅のレジスタ 21 乃至 24 を備え、RAM 11 に格納されたプログラムから実行順序に 8 ビット単位で読み出された命令コードを、フリップフロップ 41 を介して一時的に格納する。命令デコーダ 31 は、例えばプログラマブルロジックアレイ (PLA) で構成され、命令バッファメモリ 20 からセクタ SE2 を介して入力される未使用で最新の命令コードを解読して、命令コードが第 1 番目の拡張オペコードであるときは、制御信号をセクタ SE1 及び SE3 に出力するとともに、ステート信号 SS1 をセクタ SE3 及びフリップフロップ 43 を介して命令デコーダ 32 に出力する。一方、命令デコーダ 32 は、例えばプログラマブルロジックアレイ (PLA) で構成され、命令バッファメモリ 20 からセクタ SE1 及びフリップフロップ 42 を介して出力される第 2 番目以降の拡張オペコード及び実行オペコードの命令コードを解読して、解読結果のマイクロコードを演算器 12 に出力するとともに、ステート信号 SS2 をフリップフロップ 44、セクタ SE3 及びフリップフロップ 43 を介して命令デコーダ 32 の入力に帰還する。各フリップフロップ 41 乃至 44 は遅延型フリップフロップであって、入力されるデータを一時的に保持した後、クロック信号 CLK に同期して出力する。命令バッファメモリ 20 から出力されるオペランドは、セクタ SE4 を介して演算器 12 に出力される。演算器 12 は、命令デコーダ 33 から出力されるデコーダと、命令バッファメモリ 20 から出力されるオペランドとに基づいて所定の演算を実行する。

【0021】ここで、当該マイクロコンピュータの CPU (図示せず。) は RAM 11 に格納されたプログラムの命令コードを公知の通りプリデコードして、セクタ SE1 及び SE2 の切り換えを制御する。セクタ SE1 は CPU からの制御信号及び命令デコーダ 31 からの制御信号によって切り換え制御され、セクタ SE2 は CPU からの制御信号によって切り換え制御される。すなわち、命令バッファメモリ 20 内に格納された未使用

で最新の命令コードはセクタSE 2を介して命令デコーダ3 1に入力されて解読される一方、命令バッファメモリ 20内に格納された第2番目の拡張オペコード又は実行オペコードなどの命令コードは、セクタSE 2を介して命令デコーダ3 2に入力されて解読される。セクタSE 3は、命令デコーダ3 1からの制御信号にตอบสนองして接点bから接点aに切り換える一方、制御信号が出力されないときは、接点bに切り換えられる。また、セクタSE 4は、命令デコーダ3 2から出力されるマイクロコードに基づいて、命令バッファメモリ 20内のレジスタ2 1乃至2 4うちの1つに格納されているオペランドを選択的に読み出して演算器1 2に出力する。

【0022】以上のように構成された命令解読装置10の命令解読時の動作について、以下説明する。まず、マイクロコンピュータの命令コードの並びで表わされるプログラムをRAM 1 1に格納する。命令解読装置10は、メモリRAM 1 1に格納された命令コードを読み出して、例えば8ビット単位でフリップフロップ4 1を介して命令バッファメモリ 20内の各シフトレジスタ2 1乃至2 4に順次書き込んで一時的に保持した後、セクタSE 2を介して命令デコーダ3 1に出力するとともに、セクタSE 1及びフリップフロップ4 2を介して命令デコーダ3 2に出力する。

【0023】命令デコーダ3 1は、命令バッファメモリ 20内に格納されている命令コードを受信して解読し、第1番目の拡張オペコードであれば制御信号をセクタSE 3に出力して接点a側に切り換えるとともに、ステート信号SS 1をセクタSE 3及びフリップフロップ4 3を介して命令デコーダ3 2に出力する一方、制御信号をセクタSE 1に出力して第1番目の拡張オペコードに続く実行オペコード又は第2番目の拡張オペコードを命令バッファメモリ 20から読み出してフリップフロップ4 2を介して命令デコーダ3 2に出力する。すなわち、命令デコーダ3 1から制御信号が出力されたとき、命令バッファメモリ 20から拡張オペコードではなくその次の命令コードが命令デコーダ3 2に出力される。同時に、命令デコーダ3 1から出力されるステート信号SS 1はセクタSE 3を介して命令デコーダ3 2に出力される。

【0024】一方、命令バッファメモリ 20内に格納されている命令コードが実行オペコードであり、命令デコーダ3 1から制御信号が出力されなかったときは、命令バッファメモリ 20は上記実行オペコードをセクタSE 1及びフリップフロップ4 2を介して命令デコーダ3 2に出力する。同時に、セクタSE 3は接点bに切り換えられ、命令デコーダ3 2から出力されるステート信号SS 2がフリップフロップ4 4、セクタSE 3及びフリップフロップ4 3を介して命令デコーダ3 2に入力される。

【0025】命令デコーダ3 2は、セクタSE 3から

フリップフロップ4 3を介して入力されるステート信号SS 2と、命令バッファメモリ 20から出力される命令コードを解読し、内部動作を制御する解読結果のマイクロコードを演算器1 2に送出するとともに、ステートを1だけインクリメントすることによりステート信号SS 2を更新して出力する。演算器1 2は、命令デコーダ3 2から出力されるマイクロコードと、命令バッファメモリ 20から出力されるオペランドとに基づいて、所定の演算処理を実行する。

10 【0026】図5は、図4 (a)の命令コード5 1をデコードするときの図1の命令解読装置の動作を示すタイミングチャートである。図4 (a)の命令コード5 1をデコードするときの動作について、図5を参照して説明する。

【0027】図4 (a)に示す命令コード5 1の解読を行うとき、従来例と同様に命令の解読は、拡張オペコードがないので、命令デコーダ3 2のみを用いて行われる。このとき、セクタSE 1及びSE 2はともに命令バッファメモリ 20内に格納されている未使用で最新の命令データである実行オペコード6 1を選択して出力する。また、セクタSE 3は命令デコーダ3 1から出力されるステート信号を選択して出力する。まず、クロックCLKの立ち上がりの時刻t 1で、実行オペコード6 1を命令バッファメモリ 20から読み出した後、フリップフロップ4 2を介して次のクロックCLKの立ち下がりの時刻t 2で、命令デコーダ3 2に入力され、命令デコーダ3 2は、初期状態を表わすステート信号SS 1

“k”を命令デコーダ3 1から受信して解読を行い、次命令コードが初期状態であることを表わすステート信号SS 2“k”をフリップフロップ4 4に出力して次命令コードに備えると同時に、解読結果のマイクロコードを演算器1 2に出力する一方、オペランドが命令バッファメモリ 20からセクタSE 4を介して演算器1 2に送出される。これにตอบสนองして、演算器1 2は、入力されたマイクロコードとオペランドとに基づいて所定の演算処理を実行する。従って、命令解読サイクルは図5の時刻t 1から時刻t 3までの1サイクルであり、従来例と同様である。

【0028】図6は、図4 (b)の命令コード5 2をデコードするときの図1の命令解読装置の動作を示すタイミングチャートである。図4 (b)の命令コード5 2をデコードするときの動作について、図6を参照して説明する。

【0029】図4 (b)に示す命令コード5 2の解読を行うとき、まず、クロックCLKの立ち上がりの時刻t 1 1でセクタSE 1及びSE 2は、命令バッファメモリ 20内の未使用で最新の命令コードである拡張オペコード7 1を選択して出力し、これにตอบสนองして命令デコーダ3 1は実質的に同時に(時刻t 1 1から命令デコーダ3 1の処理時間のみ遅れるが、時刻t 1 1と実質的同時

である。) Hレベルの制御信号をセクタSE 1及びSE 2に出力する。これによって、セクタSE 1の出力データは、上記拡張オペコード7 1からその次に最新である実行オペコード6 2に変更されます。一方、セクタSE 3は命令デコーダ3 1からの制御信号に回答して接点aに切り換えられ、命令デコーダ3 1からのステート信号SS 1 “k+1”を選択してフリップフロップ4 3を介して命令デコーダ3 2に出力する。

【0030】命令バッファメモリ20から読み出された実行オペコード6 2は、セクタSE 1及びフリップフロップ4 2を介して、クロックCLKの次の立ち下りの時刻t 1 2で命令デコーダ3 2に入力され、これに回答して、命令デコーダ3 2は、実行オペコード6 2の解読を行い、次命令コードが初期状態であることを表わすステート信号SS 2 “k”を出力し次命令コードに備えるとともに、同時にマイクロコードを演算器1 2に出力し、一方、当該マイクロコードによってセクタSE 4が切り換えられて命令バッファメモリ20からオペランドが読み出されて演算器1 2に送出される。これに回答して、演算器1 2は、入力されたマイクロコードとオペランドとに基づいて所定の演算処理を実行する。以下、時刻t 1 3以降、従来例と同様の処理が実行される。従って、拡張オペコード7 1と実行オペコード6 2の命令解読サイクルは図6の時刻t 1 1から時刻t 1 3までの1サイクルであり、命令解読サイクルは従来例より1サイクルだけ短くなる。

【0031】同様に、図4 (c) に示す命令コード5 3の解読を行うときは、まず、クロックCLKの立ち上がりの時刻でセクタSE 1及びSE 2は、命令バッファメモリ20内の未使用で最新の命令コードである拡張オペコード7 2を選択して出力し、これに回答して命令デコーダ3 1は実質的に同時に(当該時刻から命令デコーダ3 1の処理時間のみ遅れるが、実質的の同時である。) Hレベルの制御信号をセクタSE 1及びSE 2に出力する。これによって、セクタSE 1の出力データは、上記拡張オペコード7 2からその次に最新である拡張オペコード7 3に変更されます。一方、セクタSE 3は命令デコーダ3 1からの制御信号に回答して接点aに切り換えられ、命令デコーダ3 1からのステート信号SS 1 “k+1”を選択してフリップフロップ4 3を介して命令デコーダ3 2に出力する。

【0032】命令バッファメモリ20から読み出された拡張オペコード7 3は、セクタSE 1及びフリップフロップ4 2を介して、クロックCLKの次の立ち下りの時刻で命令デコーダ3 2に入力され、これに回答して、命令デコーダ3 2は、拡張オペコード7 3の解読を行い、次命令コードが初期状態であることを表わすステート信号SS 2 “k”を出力し次命令コードに備える。そして、同様にして、命令デコーダ3 2は、クロックCLKの次の立ち上がりから実行オペコード6 3の解読を

行い、次命令コードが初期状態であることを表わすステート信号SS 2 “k”を出力し次命令コードに備えるとともに、同時にマイクロコードを演算器1 2に出力し、一方、当該マイクロコードによってセクタSE 4が切り換えられて命令バッファメモリ20からオペランドが読み出されて演算器1 2に送出される。これに回答して、演算器1 2は、入力されたマイクロコードとオペランドとに基づいて所定の演算処理を実行する。従って、拡張オペコード7 2と拡張オペコード7 3の命令解読サイクルは1サイクルであり、命令解読サイクルは従来例より1サイクルだけ短くなる。

【0033】以上説明したように、最初の拡張オペコードを解読する命令デコーダ3 1を設け、最初の拡張オペコードとそれに続く命令コードとを1サイクルで解読するようにしたので、従来例に比較して命令解読サイクルを短くし、処理速度を向上することができる命令解読装置を提供することができる。ここで、命令デコーダ3 1は従来例の命令デコーダ3 3と同様の構成を採用することができるため、回路の大幅変更を伴わなくてもよく、当該回路を簡単に構成することができる。

【0034】以上の実施形態において、命令コード長を8ビットしているが、本発明はこれに限らず、複数ビットでもよい。

【0035】以上の実施形態において、命令バッファメモリ20は4個のレジスタ2 1乃至2 4を備えているが、その個数は限定されない。

【0036】

【発明の効果】以上詳述したように本発明に係る命令解読装置によれば、それぞれ複数ビットの基本命令語長を有するオペレーションコード及びオペランドを含み、実行オペレーションコードとオペランドとで構成され、又は少なくとも1つの拡張オペレーションコードと実行オペレーションコードと少なくとも1つのオペランドとで構成されたマイクロコンピュータの命令コードを解読するための命令解読装置において、上記マイクロコンピュータによって実行されるプログラムの命令コードを一時的に格納するための命令バッファメモリと、上記命令バッファメモリから読み出される命令コードをデコードして解読結果のマイクロコードを演算器に出力するとともに、シーケンスのステートを表わすステート信号を出力する第1の命令デコーダと、上記命令バッファメモリから読み出される命令コードのうち最初の拡張オペレーションコードに回答して、当該最初の拡張オペレーションコードを解読して、当該最初の拡張オペレーションコードを解読したことを示す制御信号と、初期状態の次のステートを表わすステート信号とを出力する第2の命令デコーダと、上記第2の命令デコーダから出力される制御信号に回答して上記第2の命令デコーダから出力されるステート信号を第1の命令デコーダに出力する一方、上記第2の命令デコーダから制御信号が出力されないとき

(b)は第1のオペレーションコードが拡張オペコード I S 1のときの第2のオペレーションコードの命令マップ図であり、(c)は第1のオペレーションコードが拡張オペコード I S 2のときの第2のオペレーションコードの命令マップ図であり、(d)は第1のオペレーションコードが拡張オペコード I S 2であって、第2のオペレーションコードが拡張オペコード I S 3であるときの第3のオペレーションコードの命令マップ図である。

【図４】 従来例及び本実施形態の命令解読装置で用いる命令コードの構成を示す図であり、（ａ）は命令コード５１の構成を示し、（ｂ）は命令コード５２の構成を示し、（ｃ）は命令コード５３の構成を示す。

【図6】 図4（b）の命令コード52をデコードするときの図1の命令解読装置の動作を示すタイミングチャートである。

20 10…命令解読装置、

1 1 \cdots RAM,

1 2…演算器、

20…命令バッファメモリ、

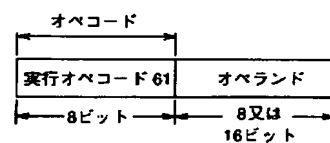
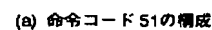
21乃至24…レジスタ、

3 1, 3 2…命令デコーダ、

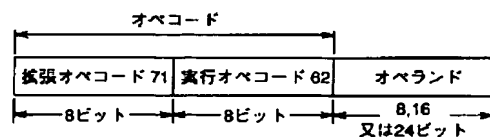
4 1 乃至 4 4…フリップフロップ、

SE 1乃至SE 4…セクタ。

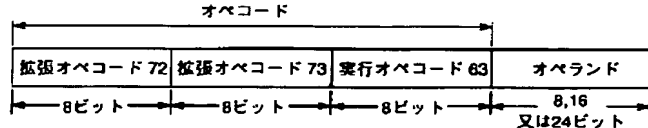
【図 4】



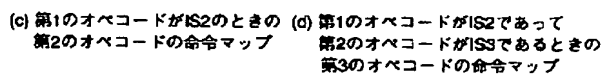
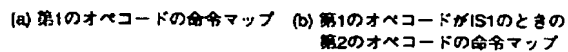
(b) 命令コード52の構成



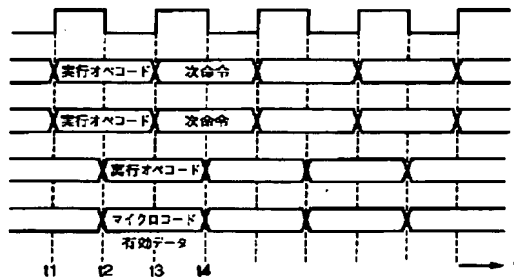
(c) 命令コード 53の構成



【図3】



命令デコーダ32からのマイクロコード



【図6】

